




**FORMATION OF INTERLAYER INSULATING FILM OF SEMICONDUCTOR DEVICE****Publication number:** JP9330982 (A)**Publication date:** 1997-12-22**Inventor(s):** SAI SHIGEN; RI KAITEI; KOU HEIKIN; GU SHIYUZEN**Applicant(s):** SAM SUNG ELECTRONIC**Classification:**

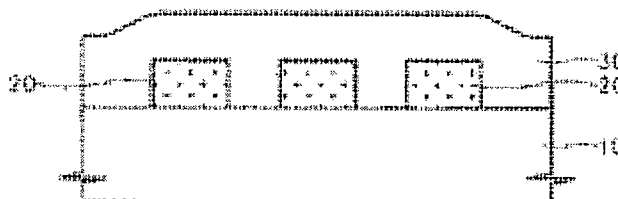
**- international:** *H01L21/768; H01L21/31; H01L21/314; H01L21/316; H01L23/00; H01L23/522; H01L23/532; H01L21/70; H01L21/02; H01L23/00; H01L23/52; (IPC1-7): H01L21/768; H01L21/316*

**- European:** H01L21/316; H01L21/316B2B; H01L23/00V; H01L23/532N

**Application number:** JP19970058062 19970312**Priority number(s):** KR19960009578 19960330**Also published as:** JP3527047 (B2) US5866476 (A) KR100255659 (B1)**Abstract of JP 9330982 (A)**

**PROBLEM TO BE SOLVED:** To provide a method by which an interlayer insulating film provided with an SOG(spin-on-glass) layer which can suppress water absorbing property can be formed without giving any influence to the characteristics of a transistor, while excellent flatness is maintained.

**SOLUTION:** After an SOG layer 30 using a hydrogen silsesquioxane material is formed on the entire surface of a semiconductor substrate 10 on which a prescribed pattern 20 is formed, the SOG layer 30 is baked at a temperature of 400-750 deg.C and a moisture absorption preventing layer 40 is formed on the baked SOG layer 30 by using the plasma excitation CVD(chemical vapor- deposition) method. Then, the layer 40 is annealed at a temperature of 550-750 deg.C. Therefore, the moisture absorbing property of the SOG layer 30 can be reduced remarkably by the moisture absorption preventing layer 40.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330982

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	S
21/316			21/316	G

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21) 出願番号	特願平9-58062	(71) 出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22) 出願日	平成9年(1997)3月12日	(72) 発明者	崔 志 鉉 大韓民国ソウル特別市永登浦區大林3洞 762番地 宇成アパート5棟106號
(31) 優先権主張番号	9 6 P 9 5 7 8	(72) 発明者	李 海 程 大韓民国京畿道水原市八達区梅灘洞810番 地 三星2次アパート3棟206號
(32) 優先日	1996年3月30日	(72) 発明者	黄 秉 權 大韓民国京畿道安養市東安區虎溪2洞916 -2番地 コハンアパート1棟102號
(33) 優先権主張国	韓国 (K R)	(74) 代理人	弁理士 八田 幹雄 (外1名)

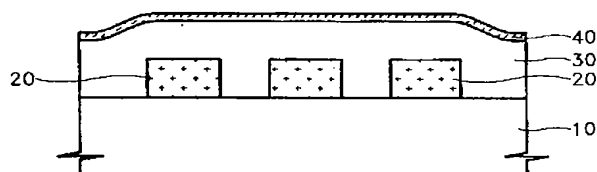
最終頁に続く

(54) 【発明の名称】 半導体装置の層間絶縁膜形成方法

(57) 【要約】

【課題】 半導体装置の層間絶縁膜形成方法を提供する。

【解決手段】 所定のパターンが形成された半導体基板の全面にヒドロゲンシルセスキオキサン物質を用いるSOG層を形成し、前記SOG層を400～750℃の温度でベーキング処理して、前記ベーキング処理されたSOG層の上にプラズマ励起CVD方式により吸湿防止層を形成した後、550～750℃の温度でアニーリングする。本発明によれば、吸湿防止層によりSOG層の吸湿性を顕著に減少させ得る。



1

## 【特許請求の範囲】

【請求項 1】 所定のパターンが形成された半導体基板の全面に SOG 層を形成する段階と、  
前記 SOG 層を 400～750℃の温度でベーキング処理する段階と、  
前記ベーキング処理された SOG 層の上に吸湿防止層を形成する段階と、  
前記吸湿防止層が形成された結果物を 550～750℃の温度でアニーリングする段階とを含むことを特徴とする半導体装置の層間絶縁膜形成方法。

【請求項 2】 前記 SOG 層は、シリケート、シロキサンまたはヒドロゲンシルセスキオキサン (hydrogen silsesquioxane) で形成されることを特徴とする請求項 1 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 3】 前記 SOG 層を形成する段階後、前記 SOG 層を硬化させる段階をさらに含むことを特徴とする請求項 1 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 4】 前記 SOG 層を硬化させる段階は前記 SOG 層に対して O<sub>2</sub> プラズマ処理を行うことを特徴とする請求項 3 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 5】 前記 SOG 層を硬化させる段階は前記 SOG 層に対してイオン注入を行うことを特徴とする請求項 3 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 6】 前記イオン注入段階は Ar イオンを注入することを特徴とする請求項 5 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 7】 前記吸湿防止層を形成する段階は、前記 SOG 層の上に CVD 方法により酸化膜を形成する段階を含むことを特徴とする請求項 1 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 8】 前記 CVD 方法は、プラズマ励起 CVD、大気圧 CVD または減圧 CVD 方法であることを特徴とする請求項 7 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 9】 前記 SOG 層を形成する段階前、CVD 方法により酸化膜を形成する段階をさらに含むことを特徴とする請求項 1 に記載の半導体装置の層間絶縁膜形成方法。

【請求項 10】 所定のパターンが形成された半導体基板の全面にヒドロゲンシルセスキオキサン層を形成する段階と、  
前記ヒドロゲンシルセスキオキサン層を 400～750℃の温度でベーキング処理する段階と、  
前記ベーキング処理されたヒドロゲンシルセスキオキサン層の上に CVD 方法により酸化膜を形成する段階と、  
前記酸化膜が形成された結果物を 550～750℃の温度でアニーリングする段階とを含むことを特徴とする半導体装置の層間絶縁膜形成方法。

## 【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】 本発明は半導体装置の層間絶縁膜形成方法に係り、特に SOG 層 (spin-on-glass layer) を有する層間絶縁膜形成方法に関する。

【0002】

【従来の技術】 半導体装置は電気的な信号を伝送させる配線を備える。半導体装置の動作速度に影響を与える前記配線は導電膜をパタニングすることにより形成される。したがって、半導体装置の動作速度を改善させるためには、配線の長さを最小とする多層配線技術が広く用いられている。かつ、このような多層配線技術は半導体装置の面積を減少させ得るので、高集積の半導体装置に必要である。

【0003】 多層配線を具現するための重要な工程の一つは、上部配線と下部配線との層間絶縁膜を形成する工程である。このような層間絶縁膜は、半導体装置の構成要素となるトランジスタのような個別素子の特性が変化しないように低温で平坦になるべきである。かつ、前記層間絶縁膜は、隣接する配線間の寄生容量を減少させるため、低い誘電定数を有する物質で形成されるべきである。このような条件を満たす層間絶縁膜には SOG 層がある。SOG 層により層間絶縁膜を形成する方法は、下部配線の形成された結果物の全面に液体状態の SOG 系物質を塗布して平坦な表面を有する SOG 層を形成する段階と、前記 SOG 層を所定の温度でベーキングして硬化させる段階とからなる。

【0004】 しかしながら、前記 SOG 層は水分を吸収する性質が強い。SOG 層内に水分が吸収されると、酸化膜の食刻溶液に対する湿式食刻率が増え、誘電定数も増える。これにより、水分の吸収された SOG 層をパタニングして下部配線の所定領域を露出させるコンタクトホールを形成した後、前記露出された下部配線の表面に形成された自然酸化膜を取り除くために湿式食刻工程を施すとき、前記パタニングされた SOG 層も食刻されてコンタクトホールの大きさが増える問題がある。かつ、水分の吸収された SOG 層は誘電定数が高いため、隣接する配線間の寄生容量を増やして半導体素子の動作速度を遅くする。

【0005】 上述した問題を解決するため、SOG 層を 800℃以上の高温で熱処理して SOG 層内の水分を取り除く方法がある。しかしながら、SOG 層を 800℃以上の高温で熱処理する場合、SOG 層の下部に形成されたトランジスタの特性が変化する。これは、ソース/ドレイン領域及びチャンネル領域の不純物が再拡散してチャンネルの長さが短くなり、かつ、チャンネル領域の不純物の濃度が変化するからである。

【0006】

【発明が解決しようとする課題】 したがって、本発明の目的は優れる平坦度を保持しながら、トランジスタの特性に影響を与えず、水分を吸収する性質が抑制できる SOG 層を備える層間絶縁膜形成方法を提供することにあ

50

る。

【0007】

【課題を解決するための手段】前記目的を達成するために本発明は、所定のパターンが形成された半導体基板の全面にSOG層を形成する段階と、前記SOG層を400～750℃の温度でベーキング処理する段階と、前記ベーキング処理されたSOG層の上に吸湿防止層を形成する段階と、前記吸湿防止層が形成された結果物を550～750℃の温度でアニーリングする段階とを含むことを特徴とする半導体装置の層間絶縁膜形成方法を提供する。

【0008】望ましくは、前記SOG層は、シリケート、シロキサンまたはヒドロゲンシルセスキオキサンで形成される。かつ、望ましくは、前記SOG層を形成する段階後、前記SOG層を硬化させる段階をさらに含むことを特徴とする。さらに望ましくは、前記SOG層を硬化させる段階は前記SOG層に対してO<sub>2</sub> プラズマ処理を行う。または、前記SOG層を硬化させる段階は前記SOG層に対してイオン注入を行うこともできる。前記イオン注入段階はArイオンを注入することができ

る。

【0009】望ましくは、前記吸湿防止層を形成する段階は、前記SOG層の上にCVD方法により酸化膜を形成する段階を含め、前記CVD方法としては、プラズマ励起CVD、大気圧CVDまたは減圧CVD方法を用いることができる。かつ、望ましくは、前記SOG層を形成する段階前、CVD方法により酸化膜を形成する段階をさらに含む。本発明によれば、半導体装置の層間絶縁膜として用いられるSOG層の吸湿性を顕著に減少させ得る。

【0010】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳しく説明する。

【0011】

【実施例】図1及び図2を参照して本発明による層間絶縁膜形成方法を説明すると、次の通りである。図1を参照すれば、半導体基板10の上に所定のパターン20を形成し、前記所定のパターン20の形成された結果物の全面に層間絶縁膜としてSOG層30を形成する。前記所定のパターン20は、例えば下部配線、トランジスタまたはキャパシタである。層間絶縁膜として用いられた前記SOG層30はクラック抵抗が比較的優れる物質で形成される。具体的には、前記SOG層30は液状のSOG物質をウェーハの表面上に塗布した後、ウェーハを所定の速度で回転させることにより形成される。前記SOG層の形成に用いられるSOG物質としては、有機または無機SOG系物質が用いられる。例えば、シリケート、シロキサンまたはヒドロゲンシルセスキオキサンが用いられる。

【0012】必要に応じては、前記SOG層30を形成

する前に、前記所定のパターン20の形成された結果物の全面にCVD (Chemical Vapor Deposition) 方法による酸化膜 (図示せず) を形成することもできる。

【0013】かつ、前記SOG層30におけるクラックの発生を防止し、絶縁強度を向上させるため、前記SOG層30を形成した後、前記SOG層30を硬化させる。前記SOG層30を硬化させるため、O<sub>2</sub> プラズマ処理工程又はイオン注入工程が行われる。このイオン注入工程に用いられるイオンとしては、アルゴン (Ar) がある。その後、前記SOG層30を400～750℃の温度、例えば400℃の温度で約30分間ベーキング処理を行う。

【0014】図2を参照すれば、前記ベーキング処理されたSOG層30の上に吸湿防止層40、例えば酸化膜を形成する。前記吸湿防止層40は大気中の水分が前記SOG層30の内部に浸透することを防止して前記SOG層30を安定化及び高密度化 (densification) させるためのものである。このような吸湿防止層40は約200～750℃の温度でCVD方法、例えばプラズマ励起CVD、大気圧CVDまたは減圧CVD方法で形成される。

【0015】その後、前記SOG層をさらに高密度とするため、前記結果物に対して550～750℃、望ましくは、700℃の温度で30分間アニーリングを行う。前記吸湿防止層40を約600℃以上の温度で形成する場合は、このようなアニーリング工程は省くこともできる。このように形成されたSOG層30及び吸湿防止層40は本発明による層間絶縁膜を構成する。

【0016】〔評価例〕本発明による層間絶縁膜形成方法の効果を評価するため、SOG層を構成する物質として無機SOG系物質、例えばヒドロゲンシルセスキオキサンを用いて基板上にSOG層を形成した後、ベーキング処理してサンプルを製造した。このように得られたサンプルに対してSOG層を様々な方法で処理した後、5日間大気中に放置する。その後、IRスペクトルを用いてSOG層に含有された物質の吸光度をFTIR (Fourier Transform Infrared) で分析した。

【0017】図3はFTIR分析の結果を示す。図3において、(a)は前記サンプルに対して700℃の温度で30分間アニーリングを施した後、O<sub>2</sub> プラズマ処理によりSOG層の上に吸湿防止層を形成した場合、

(b)は前記サンプルに対して700℃の温度で30分間アニーリングを施した後、プラズマ励起CVD処理によりSOG層の上に吸湿防止層を形成した場合、(c)は前記サンプルに対してプラズマ励起CVD処理によりSOG層の上に吸湿防止層を形成した後、700℃の温度で30分間アニーリングを施した場合の結果を示す。

【0018】かつ、比較のために、(d)は前記サンプルに対して700℃の温度で30分間アニーリングのみを行い、吸湿防止層は形成しない場合、(e)は前記サ

ンプルに対して $O_2$  プラズマ処理の代わりに $O_3$  -TEOS処理を行った場合、(f)は $NH_3$  プラズマ処理した後、 $700^\circ C$ の温度で30分間アニーリングを施した場合、(g)は $700^\circ C$ の温度で30分間アニーリングを施した後、 $NH_3$  プラズマ処理を行った場合の結果をそれぞれ示す。

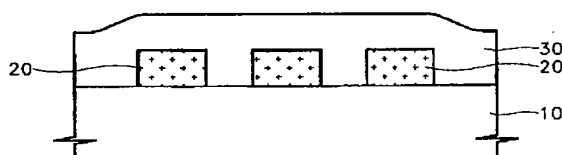
【0019】図3において、 $3600\text{ cm}^{-1}$ 付近及び $940\text{ cm}^{-1}$ 付近の波数領域に形成されたピークは $Si-OH$ の検出を示し、 $3100\sim 3600\text{ cm}^{-1}$ 付近の波数領域に広く現れるピークは $Si-O$ の検出を示す。

【0020】図3から、本発明に応じてヒドロゲンシセスキオキサン膜の上に吸湿防止層を形成した場合に、吸湿性が減少することがわかる。特に、プラズマ励起CVDによる工程で吸湿防止層を形成した後、 $700^\circ C$ の温度で30分間アニーリングを施した場合(c)には、 $3200\sim 3500\text{ cm}^{-1}$ 付近の波数領域及び $940\text{ cm}^{-1}$ 付近の波数領域で $Si-OH$ ピークが形成されないということから、ヒドロゲンシセスキオキサン膜の上に

10

20

【図1】



## 【0021】

【発明の効果】上述したように、本発明の方法によれば、半導体装置で配線層間絶縁膜として用いられる $Si-O$ 層の上に吸湿防止層を形成することにより、比較的低温の熱処理により $Si-O$ 層における吸湿性を顕著に減少させ得る。

【0022】以上、本発明の具体的な実施例を説明したが、本発明は前記実施例に限るものでなく、本発明の技術的な思想の範囲内で当分野における通常の知識を持つ者により様々な変形が可能である。

## 【図面の簡単な説明】

【図1】 本発明による層間絶縁膜形成方法を説明するための断面図である。

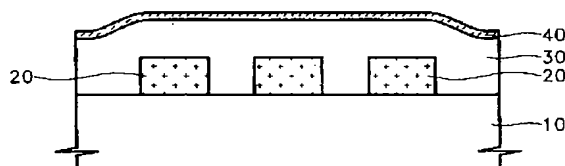
【図2】 本発明による層間絶縁膜形成方法を説明するための断面図である。

【図3】 本発明による層間絶縁膜形成方法の効果を示すFTIR分析の結果を示すグラフである。

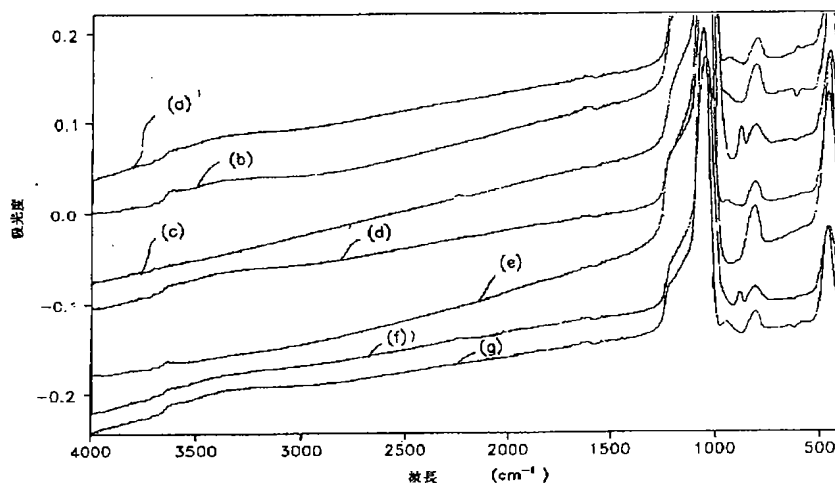
## 【符号の説明】

- 10…半導体基板、
- 20…パターン、
- 30… $Si-OH$ 層、
- 40…吸湿防止層。

【図2】



【図3】



フロントページの続き

(72) 発明者 具 珠 善

大韓民国京畿道龍仁市器興邑農書里山24番  
地